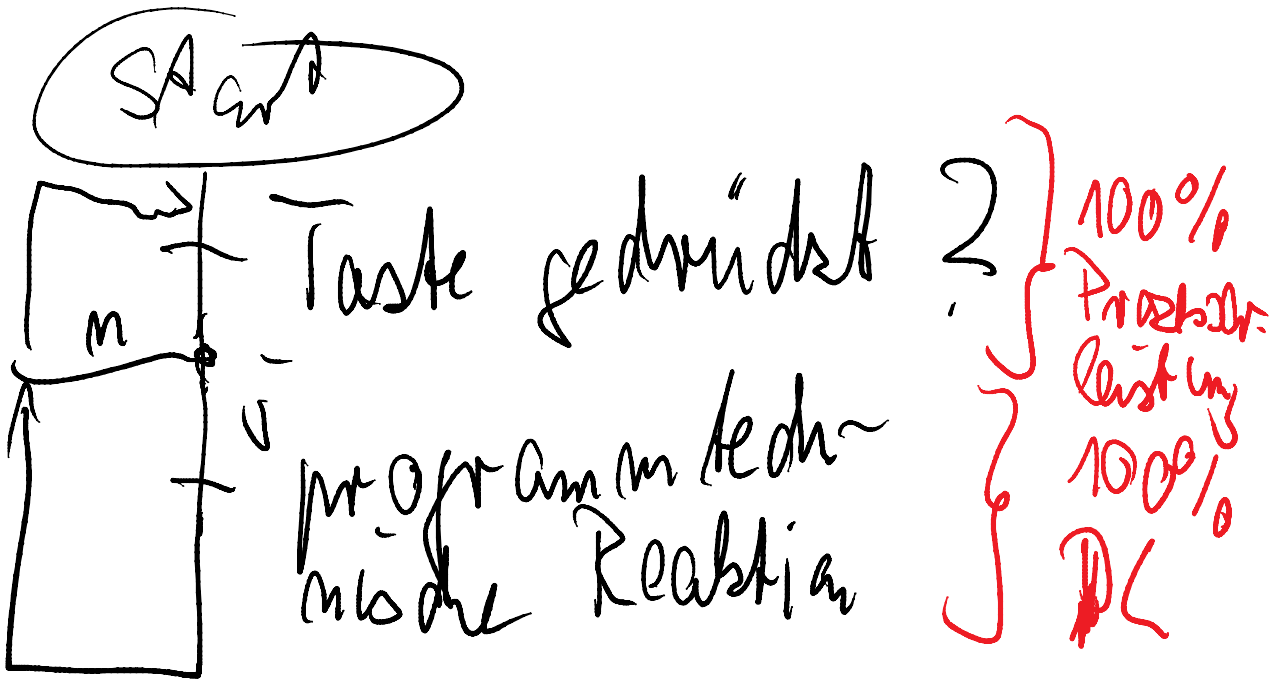
3.5. Interrupt (Programmunterbrechung)

Wozu?

Extere Ereignissse, zb. Das Drücken einer Taste.

Ohne Interrut:



Zum Abfragen der Taste: 100% Ptrozessorleistung -> ineffektiv

Ausweg: Interrupt
Prinzip 3_200

Ablauf: ohne gedückte Taste arbeitet der Prozessor 100% für ein Hauptprogramm, das unabhängig von der Taste ist.

Während irgend einem Befehl i wirt die taste gedückt (Signaländerung 0 -> 1)

Signaländerung wird von der Interruptlogik des Prozessors erkannt und führt ähnlich wie beim Unterprogramm zu einem Interruptprogramm,

unabhängeg was Befehl i für ein Befehl ist. Dabei wird die Rückkehradresse im Stack abgelegt.

Danach 100% des Prosessors für die Reaktion auf die Taste im Interruptprogramm (IP)

Am Endedes Interruptprogramms Rückkehr zum Hauptprogramm mit dem Befehl Interrupt-Return (IRET) mit der Adresse aus dem Stack zum Befehl i+1

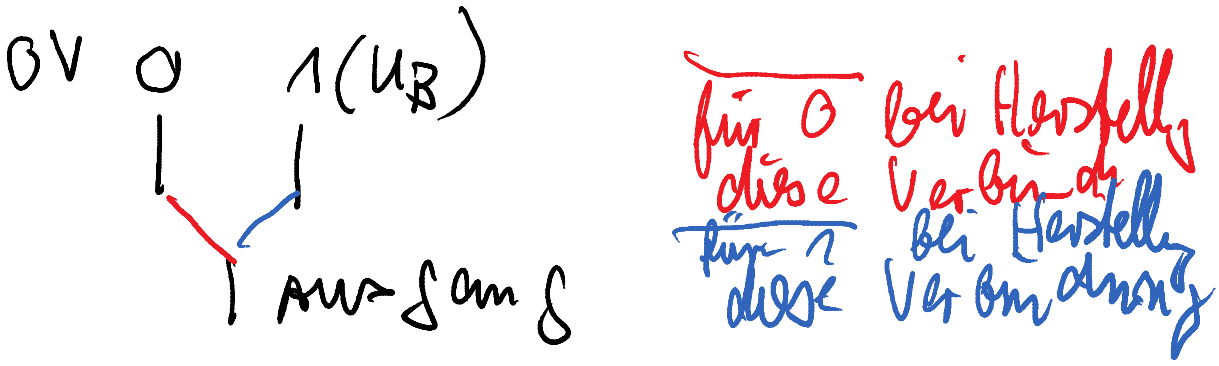
Danach wieder 100% Prozessorleistung für das Hauptprogramm.

4. Speicherfunktionseinheiten
4.1. Vom zum Speicherchip

RAM-bit (Random Access Memory; Speicher mit wahlfreien Zugriff)
SRAM: Logistruktur (Flip-Flop) stabil nur mit Betriebsspannung (ohne verliert er seinen Inhalt) (Static RAM)

DRAM-bit (Kondensator als Ladungspeicher mit nicht vermeidbarem Leckwiederstand) -> deshalb Afrischen notwendig, das geht auch nur bei vorhandener Betriebsspannung (ohnen verliert er seinen Inhalt) (Dynamic RAM)

ROM (read only Memory, Nur-lesespeicher), verschiedene Realisierungen, einfachste Realisierung Masken-programmiert (bei der Halbleiterherstellung):



Warum Refresh (Auffrischen)?
F4_20
Nach 1 Schreiben hat derKondensator die Spannung Ub.
Durch den nicht vermeidbaren Widerstand Rleck Entladen nach e-Funktion.
Wenn die e-Funktion unter den zulässigen 1-Pegel (Spannung über Kondensator) muss die 1 spätesten zurück geschrieben werden (1r), periondisch etwa alle 1ms (für alle bit eines Speichers in dieser Periode

DRAM’s ind typischerweise größer als SRAM’s aber langsamer.

Im weiteren: abstrakte bit-Zelle für ROM, SRAM oder DRAM
4_30)

Lesen bit: Q, /Q
Schreiben bit D,/D und STB

Register: n bitZellen mit verbundenen Strobe (siehe auch F2_10)

Tristatetreiber n bit (siehe auch F2_50)

Speicherwort n-bit-Register + n-bit-Tristate-Teiber
N typ. 8,16,32,64,128

Funktionen:
STB=1 und OE=0 Schreiben (0 oder 1)
STB=0 und OE=1 Lesen (0 oder 1)
STB=0 und OE=0 Speichern (0 oder 1)
STB=1 und OE=1 Refresh (0 oder 1, nur DRAM)

RAM für 2 hoch i Worte (Prinzip siehe F3_20)
(i Adresssignaleingänge)

➔ 2 hoch i Auswahlsignale (O0 bis O ((2 hoch i)-1)

Gebildet durch einen Dekoder (1 aus 2 hoch i)
Funktion des Dekoders als Wertetabelle (F4_70)

➔ Jede Binärkombination auf A0 bis A(i-1) erzeug genacu ein ein (unterschiedliches Oj, alle anderen O's sind dabei Null.

Ein Oj mit STB =1 und OE=0 führt zu Schreiben der Daten von Daten-Ein-Ausgang in das Speicherwort j.

Ein Oj mit STB=0 und OE=1 führt zu Lesen der Daten vom Speicherwort j zum