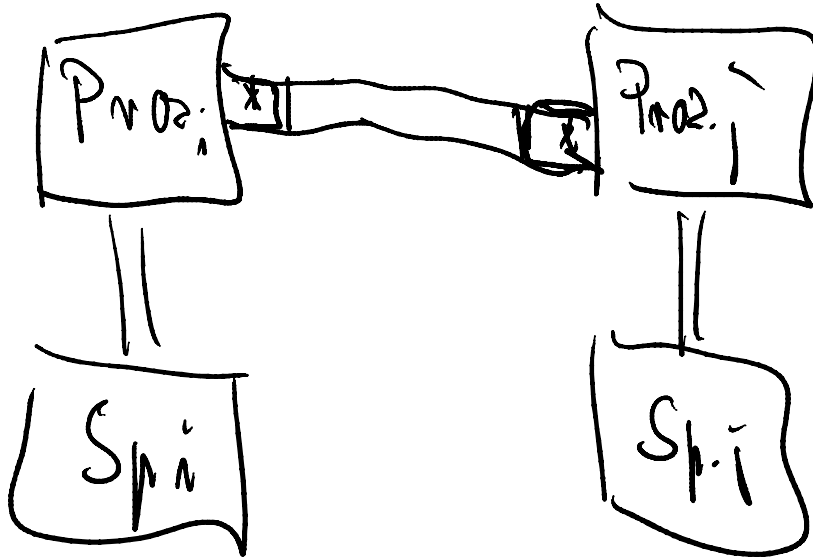


5.1. Kopplungsmöglichkeiten in MIMD-Strukturen

→ Prozessoren untereinander bzw. Prozessoren mit Speicher



* z.B.
Spezielle
Lösungen (Ver-
bindungen
zur Pro-
zessor-
kopplung
bzw. E/A

Siehe F60, lose Kopplung

Alternativ: Kopplung über Speicherstrukturen oder auch Mischformen

F59:

Oben links

Gemeinsamern-Torspeicher auf den aölle Prozessoren lesen und schreiben können

Bsp. Zeitorspeicher

Folie RA1 !!!! 4_150 (Struktur in der Gesamtarchitektur)

Folie RA1 !!!! 4_160 (Interner Aufbau des Zweitorspeichers)

sRam: Eintorspeicher (1* Adress- Daten- und Steuersignale)

Adressdekoder für beide Prozessoren (werden durch den Adressbereich aktiviert, die für die Prozessoren im Zweitor-Speicher liegen)

Ablaufsteuerung regelt den sequentiellen Zugriff beider Prozessoren

Bei Zugriff eines Prozessors schaltet die AST den Bus des entsprechenden Prozessors über den Treiberblock auf den sRAM

F59 oben rechts

Jeder Prozessor hat eigenen lokalen Speicher, Kopplung muss über Links bzw. EA erfolgen (siehe oben), Adressbereiche der Prozessoren sind unabhängig

F59 unten links

Jeder Prozessor hat eigenen lokalen Speicher, Kopplung über Links bzw. EA, Alle Speicher haben aber gemeinsamen Adressraum

- P_i greift im Adressraum vom S_{m_i} zu: normaler direkte Speicherzugriff
- P_i greift im Adressraum S_{m_j} (i ungleich j) zu: Speicherzugriff P_i - $Link_i$ - $Link_j$ - P_j - S_{m_j} (an Stelle von P_i , P_j evtl. DMA_i , DMA_j)

F59 unten links

Variante Shared Memory (oben links)

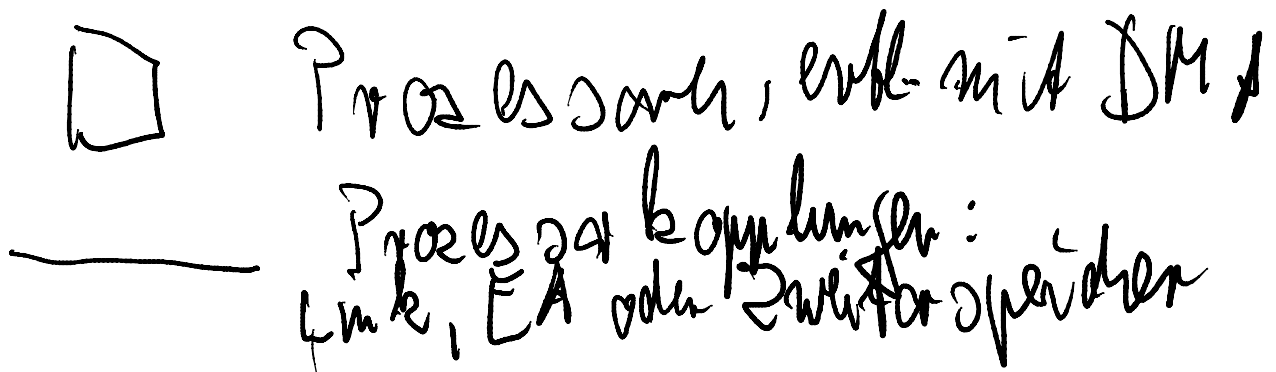
Unterschied: jeder Prozessor hat eine (lokalen)n-Torspeicher. Aufwand deutlich höher, Zugriffe im Mittel sehr oft parallele möglich, damit deutlich schneller

F59 (entsprechend F60) : Shared memory + Shared Memory Variante: enge Kopplung

Distributed Memory + Virtual shared Memory:

lose Kopplung

F61: Netzwerke



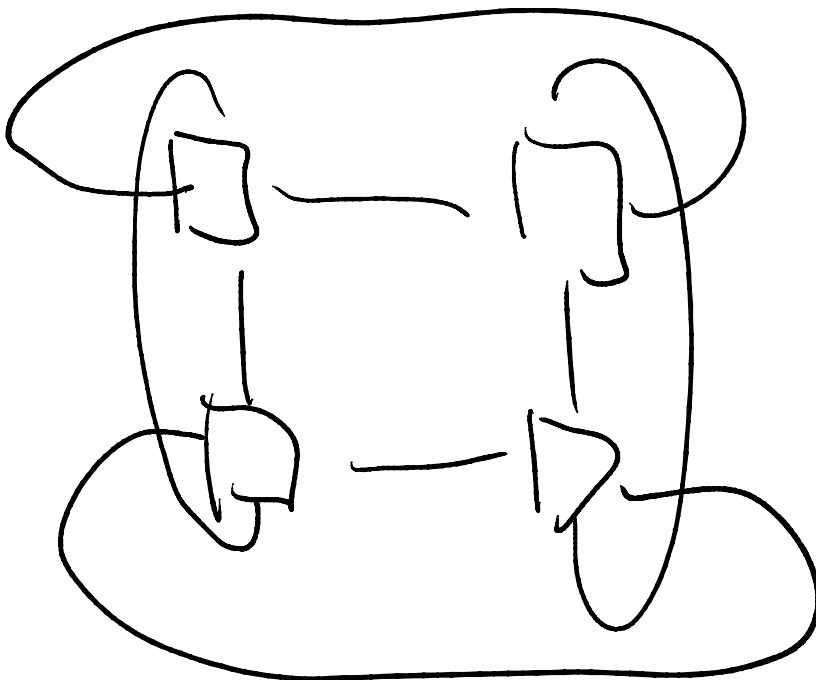
- ➔ Verbindung von Prozessoren, die nicht direkt verbunden sind immer über dazwischen liegende Prozessor/DMA-Strukturen
- ➔ Kommunikationslänge: die Anzahl der verbindungen, die bei einer Kommunikation zwischen zwei Prozessoren möglich sind
- ➔ Minimale Kommunikationslänge (Klmin) minimal mögliche
- ➔ Minimale KL im Worst-case (KLWCmin)
- ➔ Im Weiteren n: Prozessoranzahl

Linie: $KLWCmin = n - 1$

Ring(gerades n) $KLWCmin = n/2$

(ungerades n) $KLWCmin = n/2 - 0,5$

Zweidimensionaler Thorus (Matrix mit verbundene Randelementen)



$N=4$

F61 $n=9$

Quadratisch $KLWCmin$ ist etwa

$$2\sqrt{n}$$

F62 Hypercube (n-Dimensionaler Würfel)

$KLWC_{min} = \text{Dimension}$

Crossbar (z.B. Anwendung im Tiger Shark (F49))

F62 Spalte Prozessoren

Zeile Speicher oder separat zugreifbare Speicher Segmente

Schaltelemente: Busschalter, genau ein Schalter pro Zeile und Spalte darf geschlossen sein (in mehreren gleichzeitig möglich)

5.2. Parallele Architekturelemente in heutigen Anwendungen

SIMD im PC-prozessor (bei AMD 3D now, bei intel MMX) (F63) zwei Register mit 4 Operanden (bit Länge der Operanden $\frac{1}{4}$ der Registerbitlänge, 4 Summen mit einem SIMD-Additionsbefehl)

Crossbar als Shared-Memory Struktur) im Multicoer-prozessor (F64) und im Multicore-DSP (F49)

Mesi-Koheränzprotokoll (siehe Übung) (Konsistenz zwischen mehreren lokalen Caches und einem zentralen Hauptspeicher bei gemeinsamen Daten)