

TI2 27.6.12

## 4. Speicher

- Physische Träger der Maschinenprogramme und Operanden in Maschinedarstellung
- Grundprinzip der Auswahl von Datenworten im Speicher: Adressierung (F3\_20)
- Schreiben eines Datenwortes, Lesen eines Datenwortes, Speichern aller Datenworte
- Auswahl des Datenwortes (Lesen, Schreiben) -> Adressierung

n bit bei Adresse  $2^m$  hoch n Datenworte möglich

Datenwort: n bit typ. auch n=8, 16 usw. wird meist unterstützt

n typ.  $2^m$  hoch m typ. m kleiner 8

auch 8 bit-Proz. möglich -> für kleine, wenig komplexe Anwendungen im Embedded System Bereich

Interner Aufbau eines Speichers:

Aufbau Datenwort: F4\_50 -> Register Treiber siehe Kap. 1

STB (Registertakt)	OE(Tri-State-Treiberfreigabe)	Funktion
1	0	Schreiben
0	1	Lesen
0	0	Speichern
1	1	Refresh

Refresh: verstärktes (elektronisch) Rückschreiben

dRAM (dynamic Random Access Memory (dynamischer Speicher mit wahlfreiem Zugriff): Kondensator Speicherelement (C) F4\_10 rechts

RLeck ist ein nicht vermeidbarer Widerstand des Kondensators -> Entladen von C lt. F4\_20 und Notwendigkeit Refresh für Regenerierung des 1-Pegels (F4\_20 kein Prüfungstoff)

Speicheraufbau (prizipiell) für  $2^i$  Datenworte (F4\_60)

Aufbau (Schalttable) eines  $2^i$  Dekoders (auch auf F4\_70)

$A_{i-1}$	$A_{i-2}$	...	$A_1$	$A_0$	$O_{2^h(i-1)}$	$O_{2^h(i-2)}$	...	$O_1$	$O_0$
0	0		0	0	0	0		0	1
0	0		0	1	0	0		1	0
.	.		.	.	.	.		.	.
1	1		1	0	0	1		0	0
1	1		1	1	1	0		0	0

je Binärkombination auf den  $A_j$  -> je 1  $O_k$  aktiv (=1), alle anderen 0

➔ Auswahl genau eines Datenworts (DW) für Lesen oder Schreiben ( $OEk$ ,  $STBk$ )

$WE=1$  ->  $STBk = 1$   $OEk=0$  ( $WE \& CE \& Ok$ )

$WE=0$   $STBk = 0$   $OEk=1$  ( $\neg WE \& CE \& Ok$ )

A: Adresseingänge (ADR)

# Mehr als 1 Speicherbaustein im System

