

RA1 6.7.12

zu 4. Speicher

weiter mit interner Aufbau des Speichers und Einordnung in den Adressraum

4.1. Interner Aufbau eines Speichers

→ bit kleinste Speichereinheit

2 prinzipielle Varianten F4_10

links: bit vom sRAM (static random access memory, stischer Speicher mit wahlfreiem Zugriff)

→ 8 elektronische Bauelemente auf dem IC

→ bei Betriebsspannung aus -> Speicherinhalt nicht mehr existent

rechts: bit vom dRAM (dynamic RAM)

→ 3 elektronische Bauelemente auf dem IC (->

Chipnutzungsfläche je bit ca. 4 mal kleiner als beim sRAM)

→ bei Betriebsspannung aus -> aufgrund von dem parasitären Rleck -> Speicherinhalt nicht mehr existent

→ dRAM bit verliert auch auch ohne fehlende Betriebsspannung seine Ladung (Durch Rleck), deshalb zyklisch muss die Ladung aufgefrischt werden (Refresh), siehe Kurven F4_30 -> dadurch dRAM auch langsamer im Zugriff

ab jetzt: abstraktes bit (entweder sRAM-bit oder dRAM-bit)

ROM-Speicher (read only memory) sind im Gegensatz zu dem RAM in der Lage, ohne Betriebsspannung den Speicherinhalt zu behalten, im Normalfall aber nur lesbar

in den weiteren Strukturen sind diese ROMs eine Untermenge (nur Lesefunktion) der RAM-Strukturen

Datenwort (die kleinste aus bit zusammengefasste Speichereinheit:

bit $n-1$... bit 1 bit 0 (n typ 8, 16, 32, 64, 128)

Datenwort (DW) wird über ein n-bit-Register realisiert (siehe im vorherigen (Kap. 1) und F4_40

gesamtes DM : n-bit-Register + n-bit Tristate-Treiber (siehe Kap. 1 und F4_50)

STB	OE	
1	0	DW schreiben
0	1	DW Lesen
0	0	DW speichern (Inhalt bleibt erhalten, ohne Lesen oder Schreiben)
1	1	DW auffrischen (Refresh, nur dRAM)

n DW -> 1 Speicher-IC, Auswahl des DW durch Adressierung (Prinzip siehe Kap. 3.)

logische Realisierung der Adressierung zur DM-Auswahl:

1 aus n-Dekoder

Schalttabelle F4_70

hier im konkreten Fall $i=n$

links: Adresssignaleingang, n , n kleine gleich Anzahl Adressausgänge d. Prozessors (IC haben typ. weniger DW als der Prozessor adressieren kann)

rechts: $O(2^{\text{hoch } i} - 1 - m)$ mit $0 \leq m \leq 2^{\text{hoch } i} - 1$

für jede Binärkombination der A_{i-1} bis A_0 ist genau ein O_j , j immer unterschiedlich = 1

F4_40:

- $2^{\text{hoch } i}$ DW
- Ein 1 aus $2^{\text{hoch } i}$ Dekoder
- Logik zur Baustein (IC-Speicher-Chip) Auswahl und Lese-Schreibsteuerung

Funktion Tabelle in 4_60

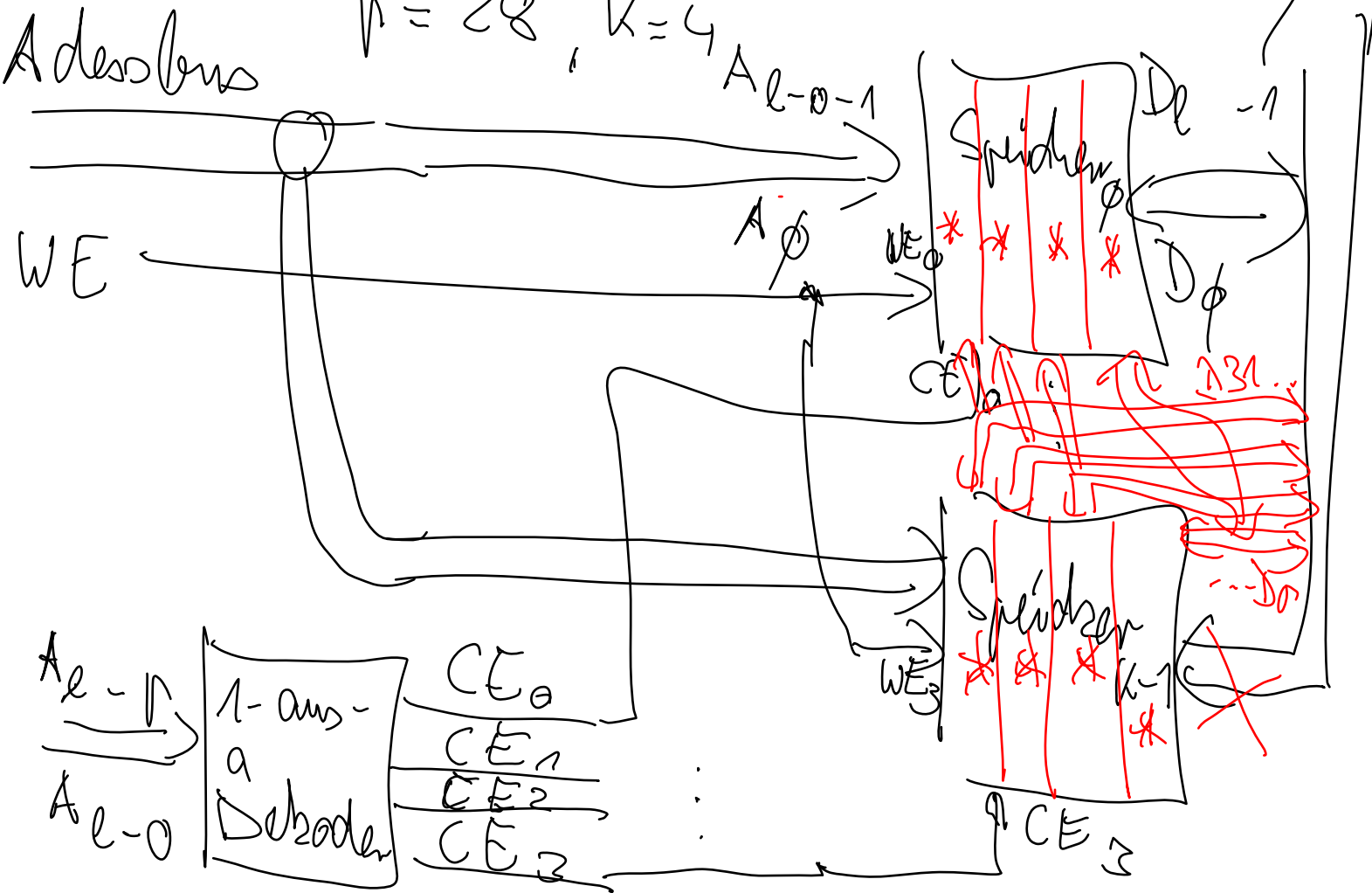
Schreiben $DW_{2^{\text{hoch } i} - 1 - m} = O_{\left(\begin{matrix} 2^{\text{hoch } i} - m - 1 \\ \text{STB} (2^{\text{hoch } i}) - m - 1 \end{matrix} \right)} \wedge \overline{WE} =$

Lesen $DW_{2^{\text{hoch } i} - 1 - m} = O_{\left(\begin{matrix} 2^{\text{hoch } i} - 1 - m \\ \text{OE} (2^{\text{hoch } i}) - 1 - m \end{matrix} \right)} \wedge \overline{WE} =$

$$X_{\text{Mod } i} \hat{=} X^i \quad \Bigg| \quad \text{Def } \textcircled{23}$$

4.2. Mehrere Speicher-IC's in einem Prozessoradressraum

Bsp $l = 64$ $o = 32$
 $n = 28$, $k = 4$



F4_100:

Aufteilung DW in Bytes (hier DW mit 32 bit, d. h. 4 bytes, Speicher-IC's mit 28 Adresseingängen (A29-A2))

Auswahl Speichergruppe (4 IC's mit 32bit (=4 Byte)-DW (zusammen) mit A31, A30)

Auswahl Byte mit A1, A0

Auswahl 16-bit DW mit A1 (A0 unberücksichtigt)

Auswahl 32-bit DW: (A1, A0) unberücksichtigt