

RA1 25.5.2012

3.2. Prozessorgrundstruktur (F3_50, 3_60)

-elearning-Simulationsmodell (RA1, Prozessorgrundstruktur Befehlabläufe)

- elementare Struktur, die prinzipiell geeignet ist, Programme abzuarbeiten
- Grundlage aller modernen Prozessoren, Erweiterungen siehe ff. und in RA2

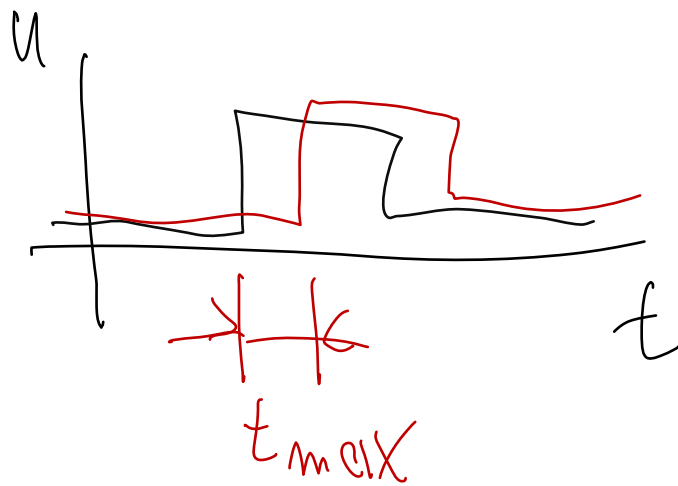
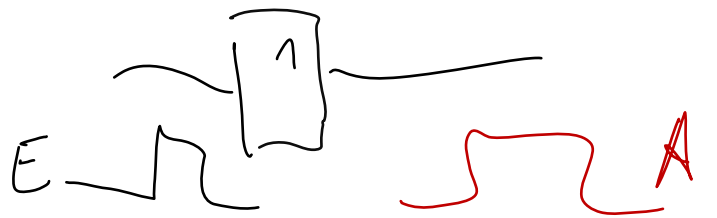
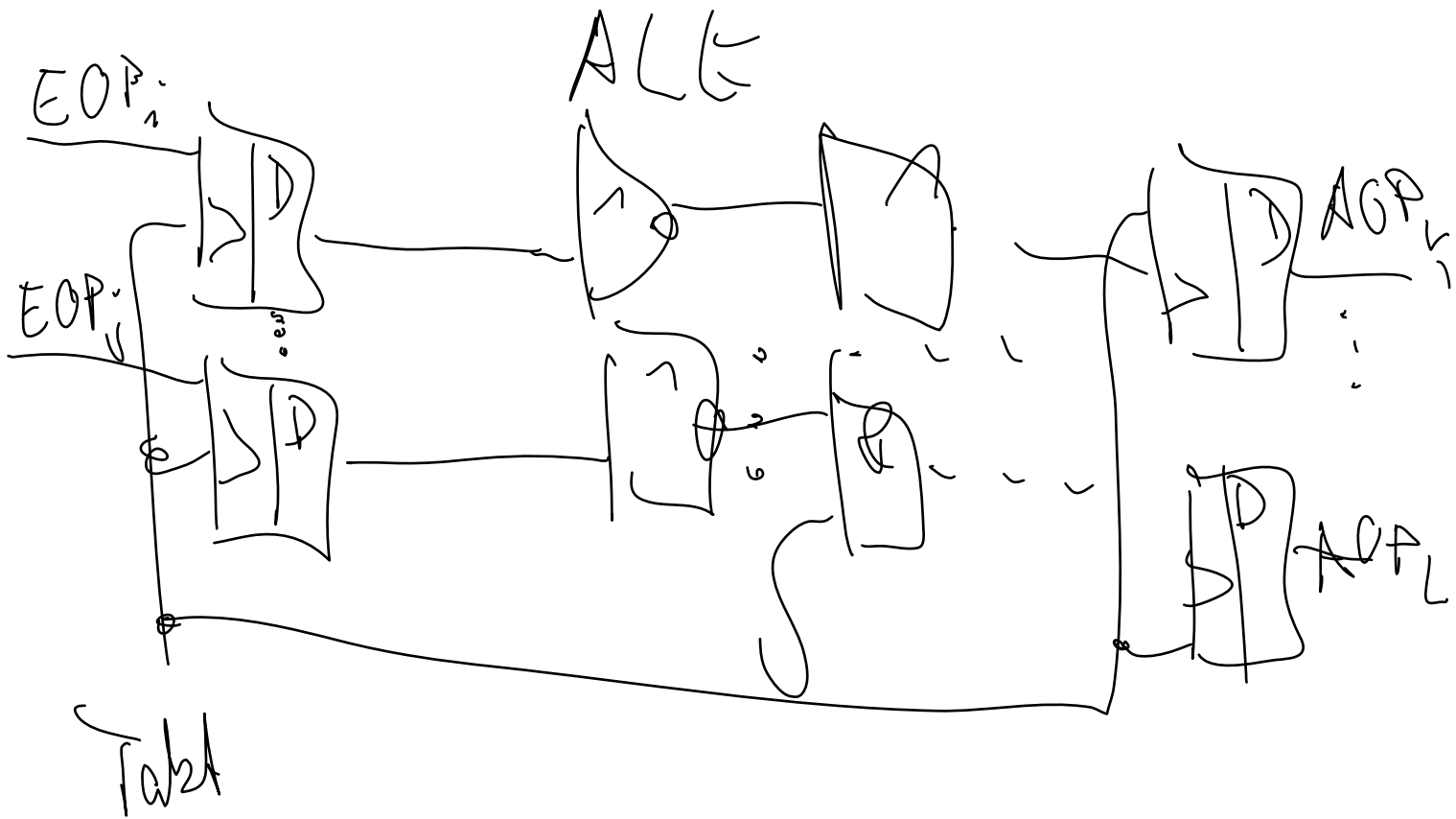
Erläuterung der Blöcke:

Aufteilung Steuerwerk (AST, BD, BR, BA)
 Rechenwerk (ALE, PSR, OR1/2, OA)
 elektrisch-elektronisches Interface

ALE: Arithmetik-Logik-Einheit, Arithmetic Logic Unit, ALU

- Verknüpfung von bis zu 2 E-Operanden zu einem Ergebnis und Prozessorstatus der Operation
- Verknüpfungsmöglichkeiten (Operationen): entsprechend Maschinenbefehlssatz (siehe ff.) (Maschine ist im ff. Rechner, Maschinenbefehl: Befehl, den der Prozessor direkt dekodieren und abarbeiten kann)
- komplexe kombinatorische Logik

Exkurs RO



→ T_p (Tabtperiode) $\geq n \times t_{max}$

n: Anzahl der Gatter im längsten Pfad Logik

➔ ALE kombinatorisch, deshalb in der Umgebung unbedingt Register notwendig:

OR_i (Operandenregister 1,2: vor der Operation die E-Operanden, nach der Operation: OR1 Ergebnis, OR2 hat vorherigen Wert (OR1 –Erg. -> Akkumulatorprinzip))

➔ PSR: Prozessorstatusregister (Flag-Register): nach der Operation den Status der Operartin (bitweise organisiert)

cy-bit (Carry)

ov-bit (Overflow)

(Zahlenüberlauf-Kennzeichen (sieh auch RO))

z-bit (Zero) Nullergebnis

s-bit (Sign) Vorzeichen

(z, s –Vergleiche: =, >=, <=, >, <)