



- | | | |
|-----------|-----------------------------------|--------------------|
| 1. | Einführung | - Prof. Zimmermann |
| 2. | Aspekte des Systementwurfs | - Prof. Zimmermann |
| 3. | Modellbasierter Entwurf | - Prof. Zimmermann |
| 4. | Echtzeitsysteme | - Prof. Zimmermann |
| 5. | Scheduling | - Prof. Zimmermann |
| 6. | Sicherheit und Zuverlässigkeit | - Prof. Zimmermann |
| 7. | Softwaretechnische Aspekte | - Prof. Fengler |
| 8. | Hardware-Software-Codesign | - Prof. Fengler |
| 9. | Rechnerarchitektur aspekte | - Prof. Fengler |
| 10. | Kommunikation | - Prof. Fengler |
| 11. | Energieeffizienz | - Prof. Fengler |
| 12. | Domäne Automotive | - Prof. Fengler |

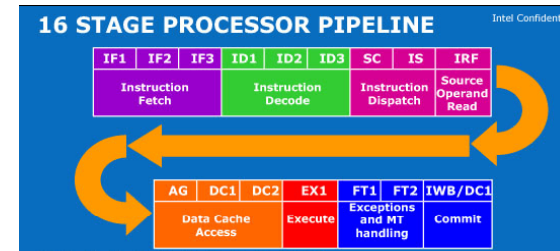
Verwendung nur als Lehrmaterial. Nicht zur Veröffentlichung!



Beispiele:

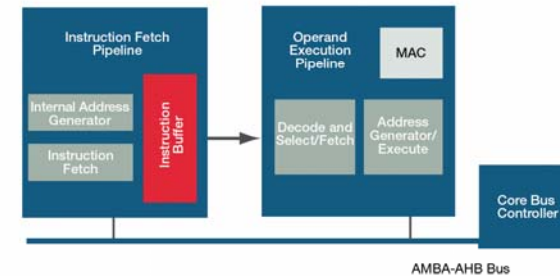
- **Intel Atom: 16 Stufen**

- Sprunglatenz 13 Takte
- Hohe Taktfrequenzen möglich, z.B. 2 GHz



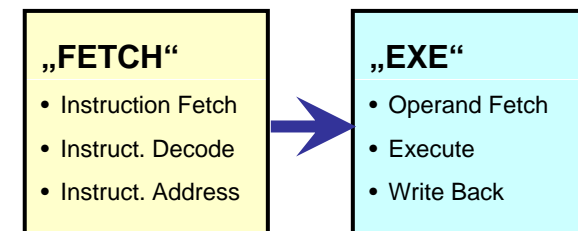
- **Freescale V1 Coldfire: 4 Stufen**

- Sprunglatenz 3 Takte
- Softcore für FPGA, wenig Gatter
- Taktfrequenz z.B. 150 MHz



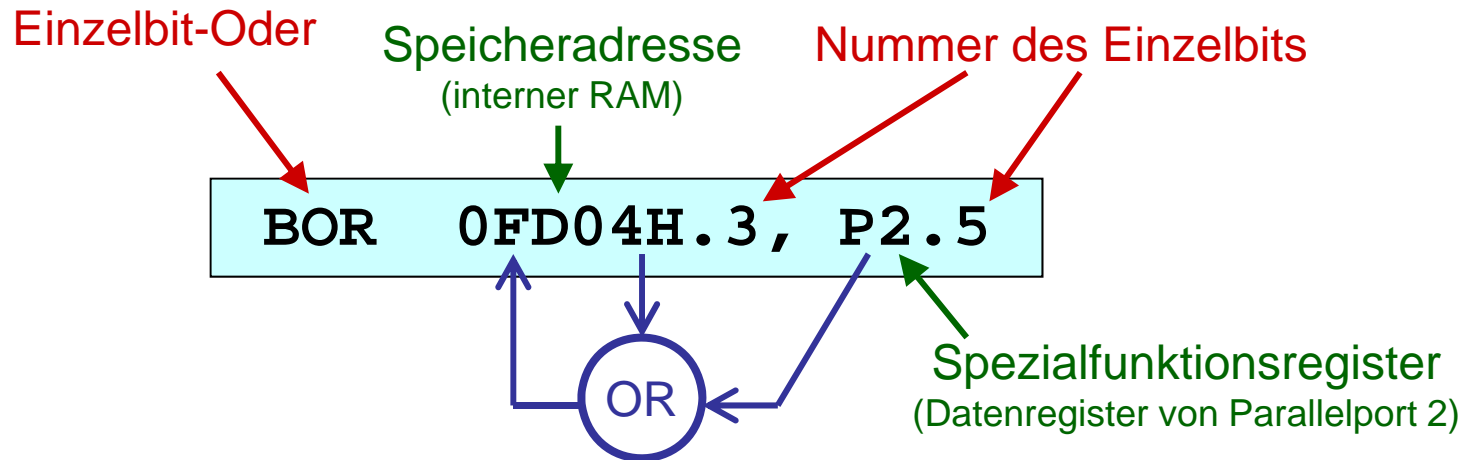
- **Atmel 8-bit AVR: 2 Stufen**

- Sprunglatenz 1 Takt
- Keine Sprungvorhersage
- Niedrige Taktfrequenzen, z.B. 16 MHz



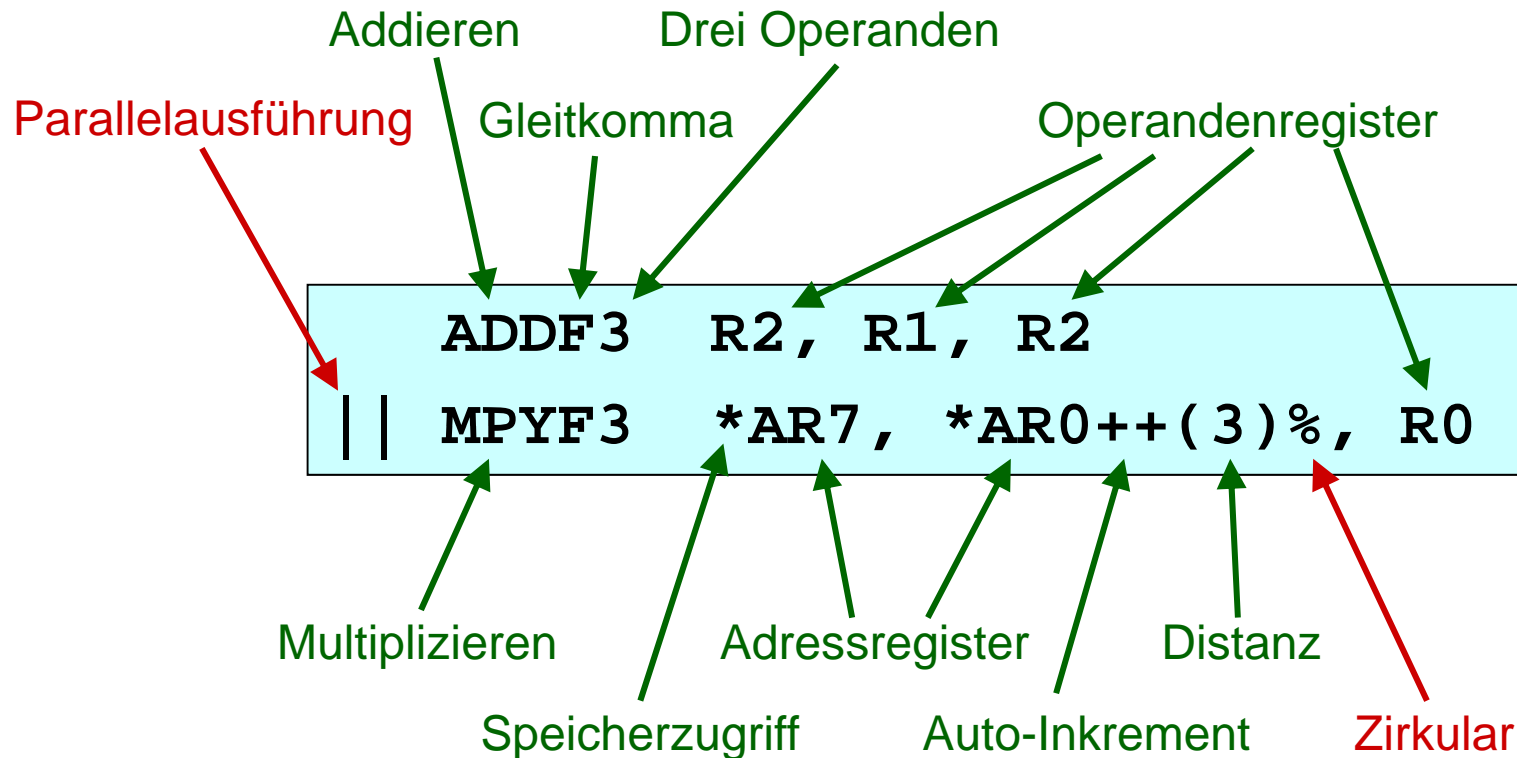


Beispiel zum μ C: Einzelbitbefehl (Infineon C167-CR)





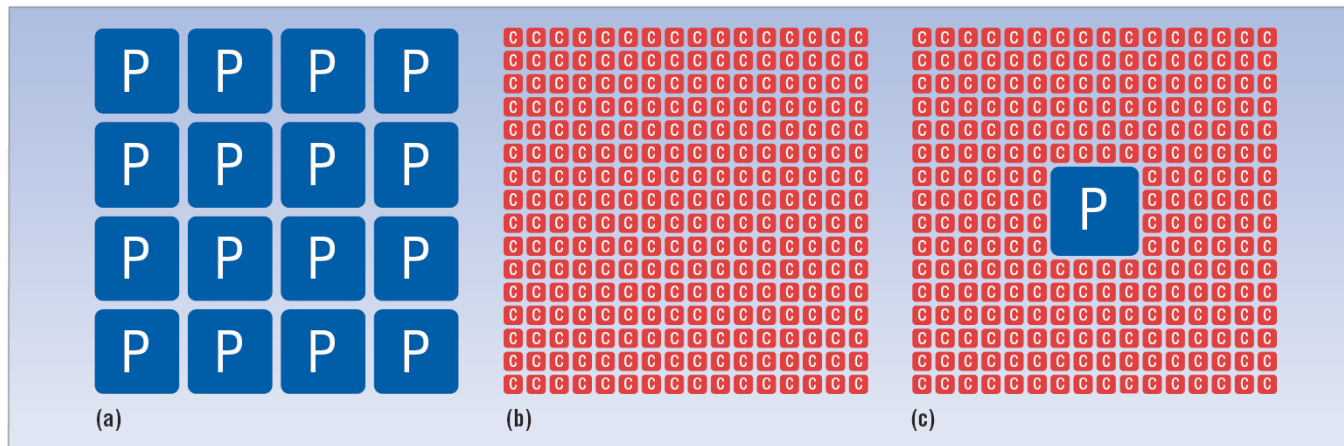
Beispiel zum DSP: MAC-Befehl mit Zirkularadressierung (TI TMS320C32)





Lösung:

- Aufteilung auf mehrere Kerne.
 - Mehrere, aber einfachere Kerne
 - Nur aktuell benötigte Teile aktiv.
- Zwei Varianten:
 - Homogen (gleichartige Kerne)
 - Heterogen (unterschiedliche Kerne)



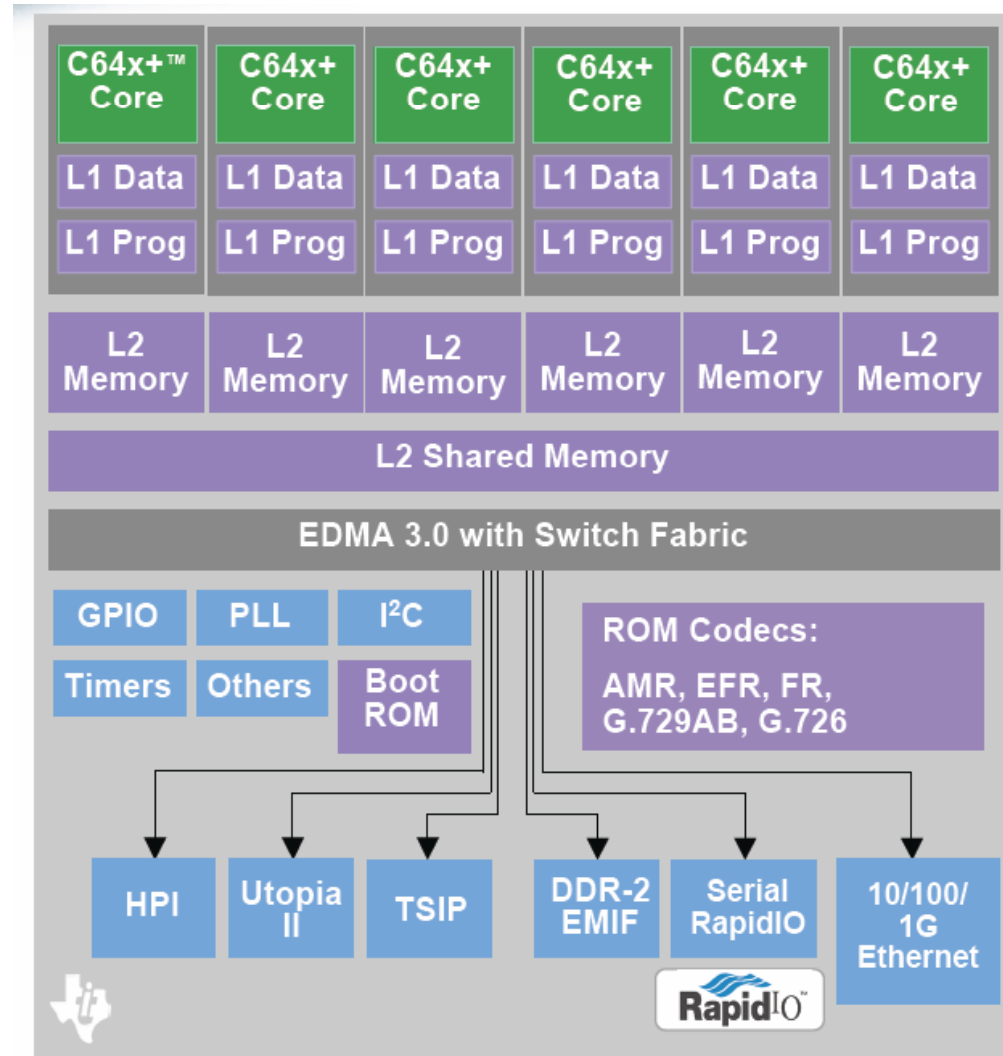
Homogen:
(a), (b)

Heterogen:
(c)



Beispiel 1:

- TI TNETV 3020
 - Sechs DSP-Cores (C64x-Familie)
 - Speicher: lokal und verteilt
 - Schaltnetzwerk für Datenströme
 - Für Telekommunikation:
 - Vermittlung (Gateway)
 - Kodierung/Dekodierung
 - Z.B. für VoIP, IPTV

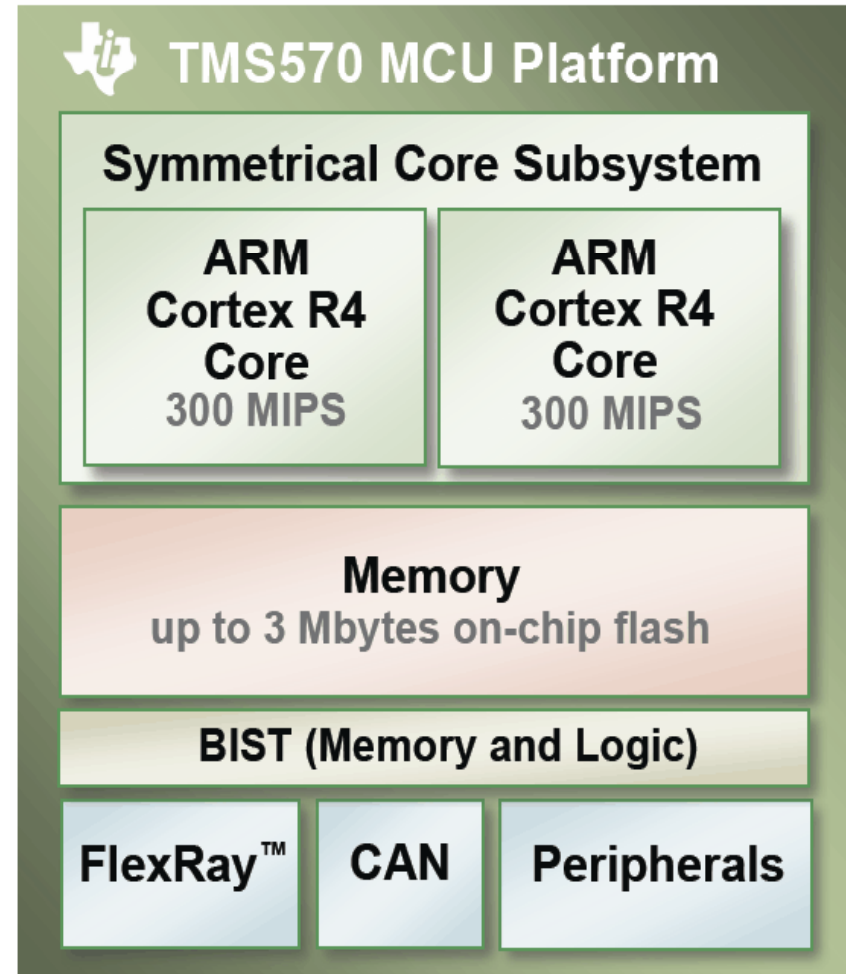




Beispiel 2:

- TI TMS570 MCU
 - Zwei symmetrische ARM-Cores
 - Sehr enge Kopplung
 - Gemeinsamer Speicher
 - Gemeinsame Peripherie
 - Speziell für Automotive, z.B.:
 - Bremssysteme
 - Stabilitätssysteme

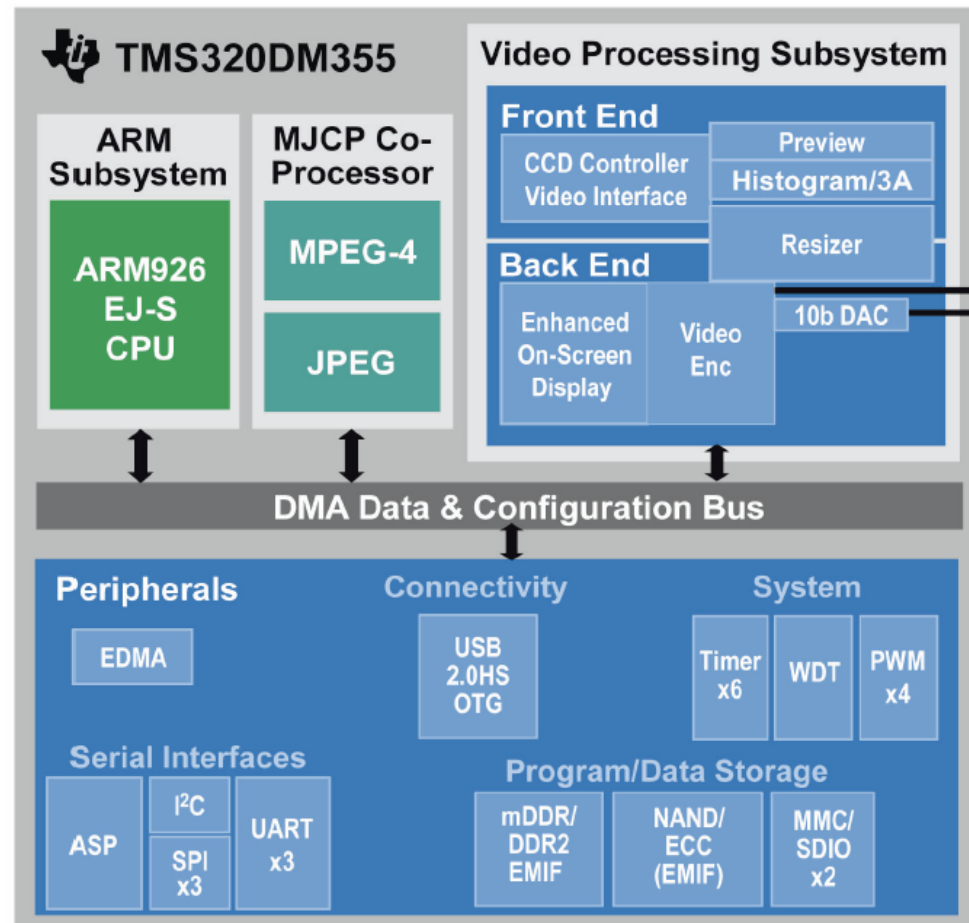
→ Redundanz durch **Lock-Step**-Betrieb





Beispiel 1:

- TI DaVinci TM355
 - ARM-Core plus DSP-Core
 - Bild- und Video-Enkoder
z.B.: JPEG-HD, MPEG-4-HD
 - DSP-Core spezialisiert auf JPEG/MPEG-Funktionen
 - ARM-Core für Datenhandling und Sonstiges
 - Hardwareverarbeitung für Video-Sensor und Display
 - Typische Anwendung: HDTV-Camcorder

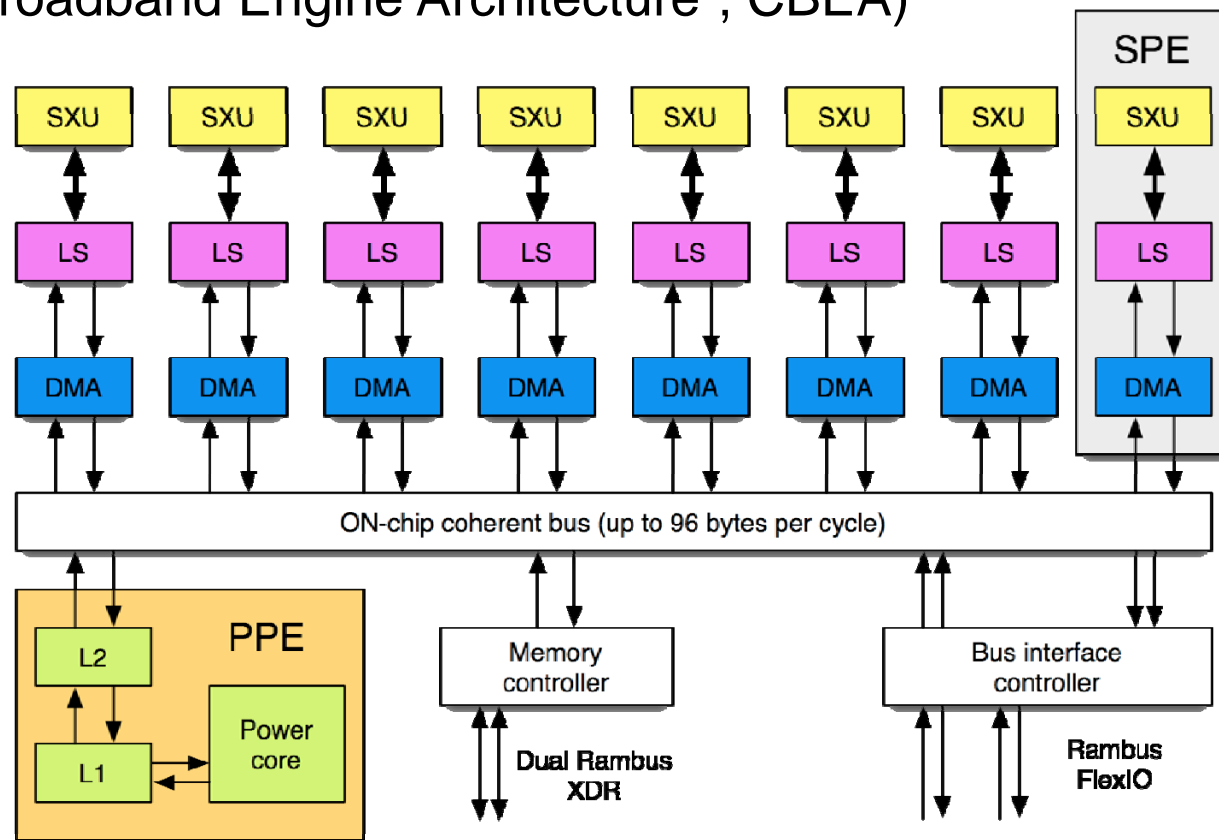


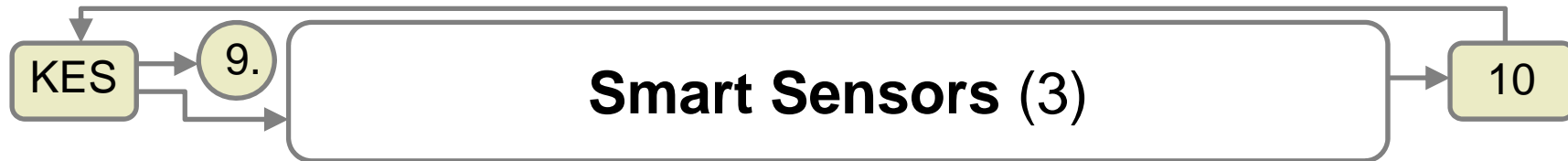


Beispiel 2:

- IBM Cell („Cell Broadband Engine Architecture“, CBEA)

- **PPE:** Großer Hauptprozessor (64 bit PPC)
- **SPE:** Gleichartige Prozessorelemente (für Streams optimiert)
- Takt z.B. 3,2 GHz
- Energieverbrauch hoch
- Anwendung: 3-D-Grafik, Multimedia
- Beispiel: Sony Playstation 3

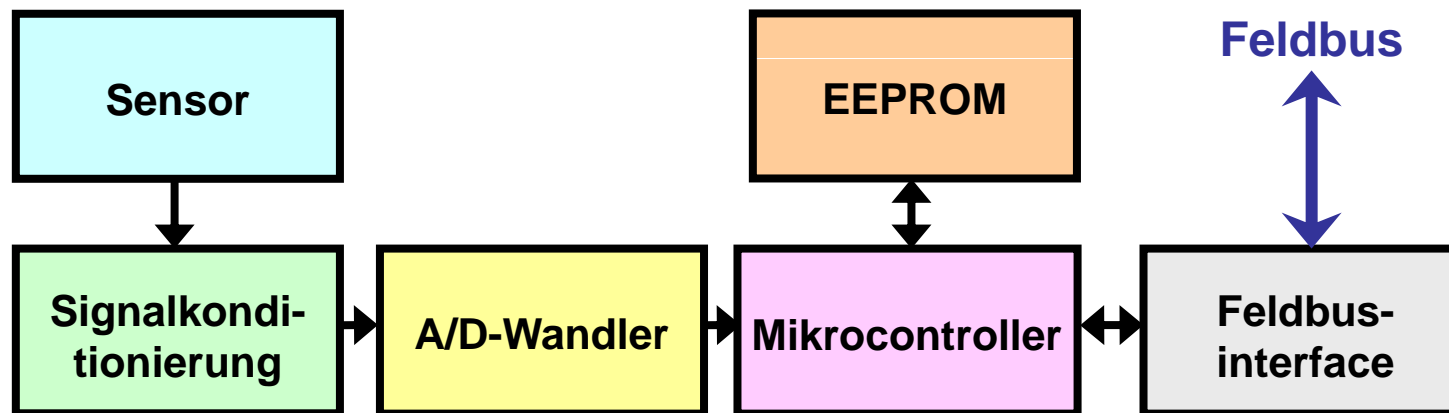


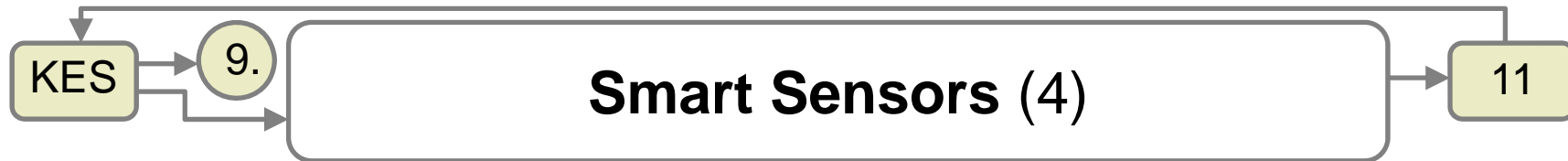


Prinzipieller Aufbau eines Smart Sensors:

- Es muss kombiniert werden:
 - Rechnerhardware
 - Digitale und/oder analoge Zusatzhardware
 - Evtl. Mechanik, Optik, chemische Sensorik, etc.

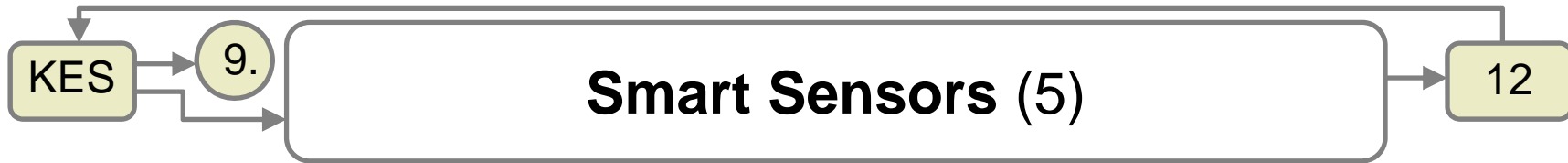
Verallgemeinerte Beispielstruktur:





Beispiele für Smart Sensors:

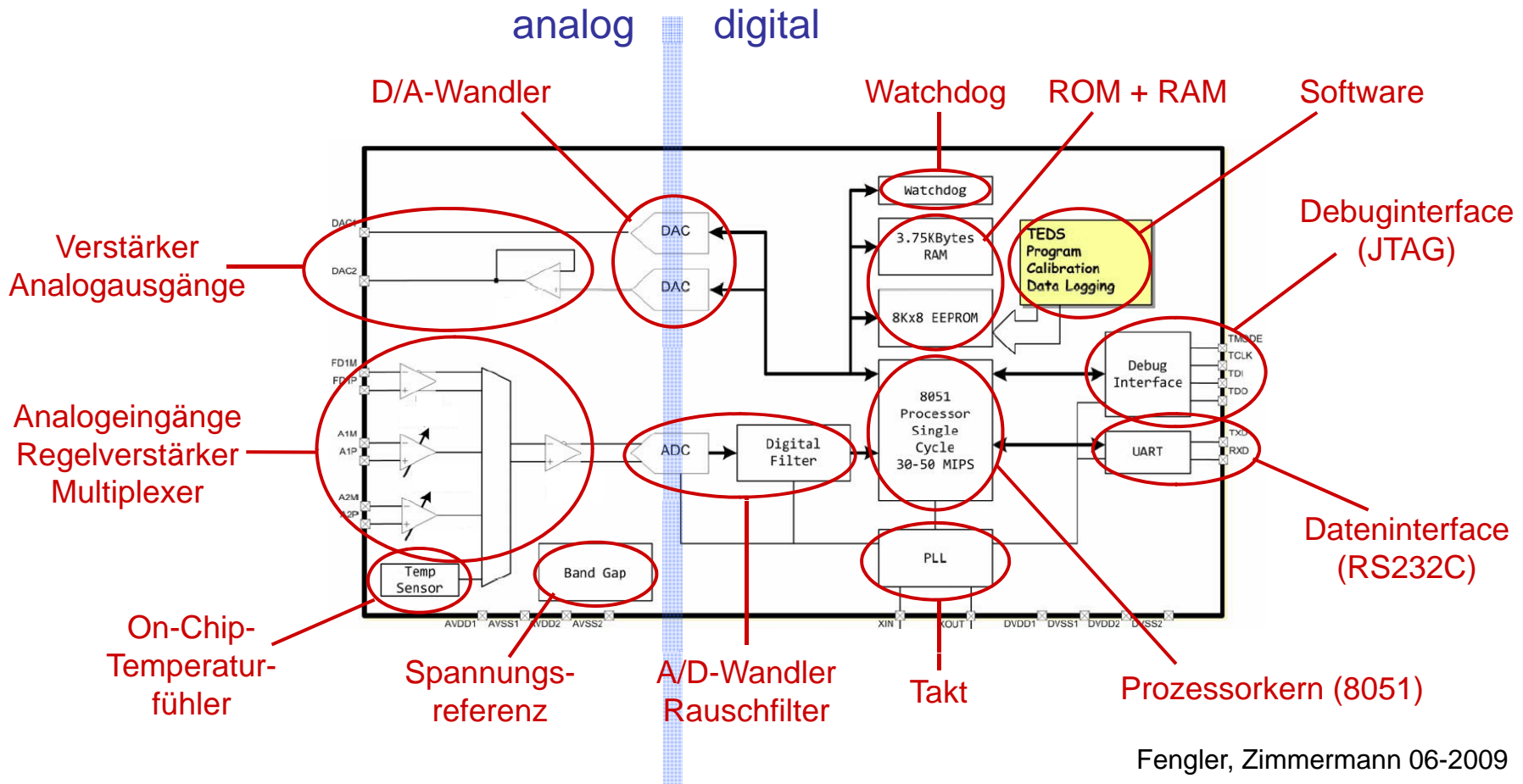
- Temperatursensor, mit:
 - Eingebauter Kennlinienkorrektur
 - Im Flash-ROM gespeicherten Kalibrierdaten
 - SPI-Interface
- Beschleunigungssensor für ESP-Systeme, mit:
 - Mikromechanischem Beschleunigungsaufnehmer
 - Bewegungsberechnung
 - Feldbusinterface
- „Smart Camera“, mit:
 - CCD-Bildsensor
 - Muster- und/oder Bewegungserkennung
 - LAN-Anschluss
- Sensornetz aus zahlreichen drahtlos vernetzten Einzelsensoren
→ z.B. „**Smart Dust**“ (schwebefähige Mini-Sensoren)

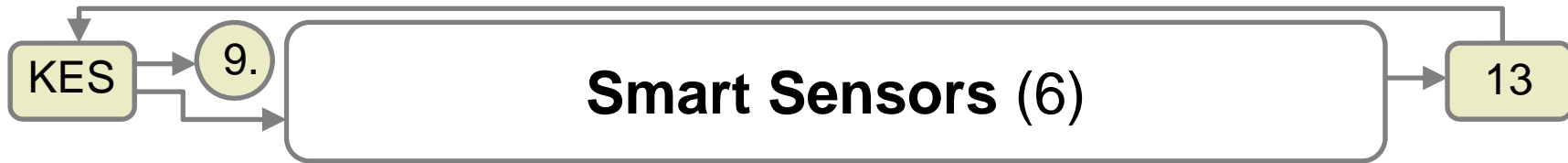


Beispielarchitektur für einen Smart-Sensor-ASIC:

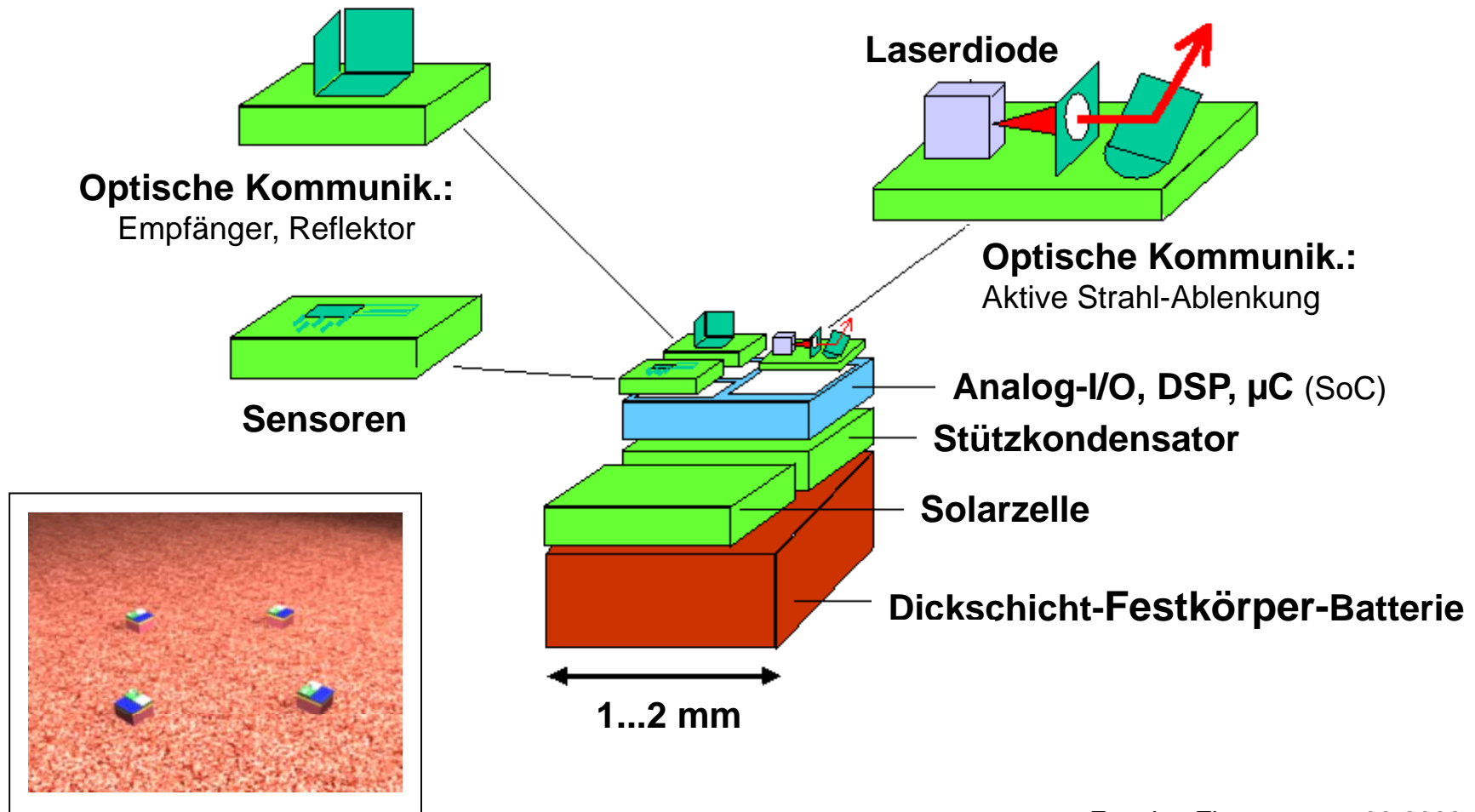
TRIAD Semiconductor TASIC002

- Mixed-Signal-ASIC, für Sensoren mit Analoginterface





Smart Dust: Schematischer Aufbau eines Partikels



Bildnachweise

Anand Lal Shimpi: Intel's Atom Architecture: The Journey Begins. Onlineartikel bei AnandTech, Inc.; 2. April 2008.

<http://www.anandtech.com/cpuchipsets/intel/showdoc.aspx?i=3276&p=11>

V1 ColdFire® Core Architecture. Fact Sheet, Freescale Semiconductor, Inc. 2008. Document Number: COLDFIREV1CRFS, REV 3.

http://www.freescale.com/files/32bit/doc/fact_sheet/COLDFIREV1CRFS.pdf

Dong Hyuk Woo, Hsien-Hsin S. Lee: Extending Amdahl's Law for Energy-Efficient Computing in the Many-Core Era. In: IEEE Computer 12/2008, S. 24-31.

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4712496&isnumber=4712485>

Ray Simar: Multicore Technology: Meeting The Challenges of Today and Tomorrow. Foliensatz zum TI-“Webinar“, 05. Dez. 2007.

<http://www.ti.com/corp/docs/landing/multicore/pdfs/Multicorewebinarfinal.pdf>

Wikipedia. Die freie Enzyklopädie. Deutsche Onlineausgabe, Artikel: Cell (Prozessor). Stand 4.6.2009. Wikimedia Foundation Inc., San Francisco.

[http://de.wikipedia.org/wiki/Cell_\(Prozessor\)](http://de.wikipedia.org/wiki/Cell_(Prozessor))

Reid Wender: TASIC002 - Smart Sensor ASIC Solution on VCA-4. Application Note, TRIAD Semiconductor, Inc. Rev 1.0, 04/18/2008.

<http://www.triadsemi.com/2008/04/28/smart-sensor/>

K. Pister, J. Kahn, B. Boser, S. Morris: Smart Dust. Internes MEMS-Meeting der DARPA, Januar 2001, Berkeley.

<http://robotics.eecs.berkeley.edu/~pister/SmartDust/presentations/MEMSPIJan00.ppt>

Homepage von Prof. Kristofer S.J. Pister, Univ. Berkeley.

<http://robotics.eecs.berkeley.edu/~pister/SmartDust/DustDelivAnim.avi>

Dieses Lehrmaterial ist nicht zur Veröffentlichung vorgesehen!

Stand Juni 2009